

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC526 U.S. PTO
09/050946
03/31/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

1997年 3月31日

出願番号
Application Number:

平成 9年特許願第096651号

出願人
Applicant(s):

株式会社日立製作所
日本テキサス・インスツルメンツ株式会社

1997年 8月29日

特許庁長官
Commissioner,
Patent Office

荒井 寿光
特許庁長官



【書類名】 特許願
【整理番号】 H97000291
【提出日】 平成 9年 3月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明の名称】 ダイナミック型RAM
【請求項の数】 7
【発明者】
【住所又は居所】 東京都青梅市今井2326番地 株式会社 日立製作所
デバイス開発センタ内
【氏名】 高橋 勉
【発明者】
【住所又は居所】 東京都青梅市今井2326番地 株式会社 日立製作所
デバイス開発センタ内
【氏名】 荒井 公司
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業部内
【氏名】 ▲高▼橋 康
【発明者】
【住所又は居所】 東京都青梅市今井2326番地 株式会社 日立製作所
デバイス開発センタ内
【氏名】 田中 敦也
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2350 日本テキサス・イン
スツルメンツ株式会社内
【氏名】 助川 俊一
【発明者】
【住所又は居所】 茨城県稲敷郡美浦村木原2350 日本テキサス・イン

スツルメンツ株式会社内

【氏名】 別所 真次

【発明者】

【住所又は居所】 茨城県稻敷郡美浦村木原2350 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 平 雅之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代表者】 金井 務

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代表者】 生駒 俊明

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003106

【書類名】 明細書

【発明の名称】 ダイナミック型RAM

【特許請求の範囲】

【請求項1】 メインワード線と、

上記メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリセルのアドレス選択端子が接続されてなるサブワード線と、

上記メインワード線と平行するように延長され、上記1つのメインワード線に割り当てられた複数のサブワード線の中の1つを選択する選択信号が伝えられる第1のサブワード選択線と、

上記第1のサブワード選択線の対応するものと接続され、上記メインワード線と直交するように延長される第2のサブワード選択線と、

上記メインワード線の選択信号と上記第2のサブワード選択線を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワード線駆動回路と、

上記複数のサブワード線とそれと直交するように配置され、上記ダイナミック型メモリセルの入出力端子がその一方に接続された複数の相補ビット線対と、

上記複数の相補ビット線対に入出力端子が接続されてなる複数のセンスアンプとを備え、

上記複数のサブワード線及び上記複数の相補ビット線対及びこれらの交点に設けられた複数のダイナミック型メモリセルからなるサブアレイ上に、上記メインワード線と上記第1のサブワード選択線を配置し、

上記第2のサブワード選択線を隣接する上記サブアレイに対応された上記サブワード駆動回路上を延長させ、対応する上記サブワード線駆動回路に供給することを特徴とするダイナミック型RAM。

【請求項2】 上記サブアレイは、

上記複数からなるサブワード線配列の両端側にサブワード線駆動回路が振り分けられて分割して配置され、

上記複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて

分割して配置され、

上記1つのサブアレイは、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるように形成されるものであることを特徴とする請求項1のダイナミック型RAM。

【請求項3】 上記センスアンプは、シェアードセンス方式とされ、を中心にして隣接するサブアレイのビット線に対応して設けられるものであり、

上記サブワード線駆動回路は、それを中心にして隣接するサブアレイのサブワード線を選択するものであることを特徴とする請求項1又は請求項2のダイナミック型RAM。

【請求項4】 上記メインワード線はロウレベルの選択レベルとする反転メインワード線であり、上記第2のサブワード選択線は、ハイレベルを選択レベルとする非反転サブワード選択線とロウレベルを選択レベルとする反転サブワード選択線からなり、

上記サブワード線駆動回路は、

上記メインワード線が共通接続されたゲートからなる入力端子に接続され、その出力端子に上記サブワード線が接続され、上記第2の非反転サブワード選択線がソースに接続されたPチャンネル型MOSFET及びそのソースが接地電位に接続されたNチャンネル型MOSFETからなる第1のCMOSインバータ回路と、

上記第1のサブワード選択線にゲートが接続され、上記サブワード線と回路の接地電位との間に設けられ、ゲートが上記第2の反転サブワード線に接続されたNチャンネル型MOSFETとからなり、

上記第2の反転サブワード選択線は、上記第1のサブワード選択線に接続されてなり、上記第2の非反転サブワード線は、上記第1のサブワード選択線が入力端子が接続され第2のCMOSインバータ回路からなるサブワード選択線駆動回路により形成された選択信号が伝えられるものであることを特徴とする請求項1のダイナミック型RAM。

【請求項5】 上記サブワード選択線駆動回路は、上記センスアンプ列とサブワード線駆動回路列とが交差するクロスエリアに配置されるものであることを

特徴とする請求項4のダイナミック型RAM。

【請求項6】 上記第1のサブワード選択線は、上記メインワード線の間に配置され、メインワード線と同じ配線層を利用して形成されるとともに、

それを挟むように配置された2つの配線層を短絡させて1つの第1のサブワード選択線として用いることを特徴とする請求項1のダイナミック型RAM。

【請求項7】 上記メインワード線及び第1のサブワード選択線は第2層目のメタル層により形成され、

上記第2のサブワード選択線は、第3層目のメタル層、第2層目のメタル層及び第1層目のメタル層を用いて構成され、

上記メインワード線と交差する部分では上記第3層目のメタル層が用いられ、上記サブワード線駆動回路を構成する回路素子に接続される部分では第1層目のメタル層が用いられてなることを特徴とする請求項1、請求項4、請求項5又は請求項6のダイナミック型RAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）に関し、例えばメインワード線とサブワード線とを備えた分割ワード線方式のものに利用して有効な技術に関するものである。

【0002】

【従来の技術】

選択されるメモリセルが設けられる必要なメモリブロックのみを動作させ、動作させるメモリエリアをできるだけ少なくして低消費電力を図ること、及びメモリセルが接続されるサブワード線の選択動作の高速化を図るために、メインワード線に対してメモリセルが接続される複数のサブワード線を設けるようにした分割ワード線方式が提案されている。このような分割ワード線方式の例としては、特開平2-158995号公報がある。なお、上記公報ではメインワード線を前置ワード線と称し、サブワード線をワード線と称している。

【0003】

【発明が解決しようとする課題】

従来の分割ワード線方式においては、専ら低消費電力化や高速動作化に向けられており、メモリチップの小型化には配慮がなされていないという問題がある。つまり、上記メインワード線とサブワード選択線に分割し、サブワード線を選択するためのサブワード線駆動回路を設けるようにすると、1つのメインワード線に割り当てられた複数のサブワード線の中の1つを選択するための選択線や、それを駆動するための駆動回路が必要となり、これらを如何に効率よくメモリアレイ周辺にレイアウトするかが重要な課題となるものである。

【0004】

この発明の目的は、分割ワード線方式を採用しつつ、高集積化を実現したダイナミック型RAMを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるメモリセルが接続されてなるサブワード線を設け、上記メインワード線と平行するように設けられる第1のサブワード選択線をサブアレイ上を延長させてワード線の延長方向に並べられた複数のサブアレイに導き、上記第1のサブワード選択線の対応するものと接続されて上記メインワード線と直交するように延長される第2のサブワード選択線を隣接するサブアレイのワード線駆動回路領域まで延長させ、各サブアレイに対応して設けられたサブワード線駆動回路において、上記メインワード線と上記第2のサブワード選択線からの信号によりサブワード線の選択動作と非選択動作を行わせるようにする。

【0006】

【発明の実施の形態】

図1には、この発明に係るダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型RAMを構成する各回路ブ

ロックのうち、この発明に関連する部分が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0007】

この実施例では、特に制限されないが、メモリアレイは、全体として4個に分けられる。半導体チップの長手方向に対して左右に2個ずつのメモリアレイが分けられて、中央部分14にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等が設けられる。これら中央部分14の両側のメモリアレイに接する部分には、カラムデコーダ領域13が配置される。

【0008】

上述のように半導体チップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコーダ領域11が設けられる。このメインロウデコーダの上下には、メインワードドライバ領域が形成されて、上記上下に分けられたメモリアレイのメインワード線をそれぞれが駆動するようにされる。上記メモリセルアレイ(サブアレイ)15は、その拡大図に示すように、メモリセルアレイ15を挟んでセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成されるものである。上記センスアンプアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域(クロスエリア)18とされる。上記センスアンプ領域に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【0009】

この実施例のダイナミック型RAMは、特に制限されないが、約64M(メガ)ビットの記憶容量を持つようになる。上記のように半導体チップの長手方向に対して左右に4個ずつのメモリアレイが分けられて、中央部分14に同図では省略されているが、上記のようなアドレス入力回路、データ入出力回路等の入出

カインターフェイス回路等が設けられる。

【0010】

上述のように半導体チップの長手方向に対して左右に4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中央部分にメインワードドライバ11が配置される。このメインワードドライバ11は、それを中心にして上下に振り分けられた2個のメモリアレイに対応して設けられる。メインワードドライバ11は、上記1つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバ11にサブワード選択用のドライバも設ければ、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【0011】

拡大図として示された1つのメモリセルアレイ15は、図示しないがサブワード線が256本と、それと直交する相補ビット線（又はデータ線）が256対とされる。上記1つのメモリアレイにおいて、上記メモリセルアレイ（サブアレイ）15がワードビット線方向に16個設けられるから、全体としての上記サブワード線は約4K分設けられ、ワード線方向に8個設けられるから、相補ビット線は全体として約2K分設けられる。このようなメモリアレイが全体で8個設けられるから、全体では $8 \times 2K \times 4K = 64M$ ビットのような大記憶容量を持つようになる。

【0012】

上記1つのメモリアレイは、メインワード線方向に対して8個に分割される。かかる分割されたメモリセルアレイ15毎にサブワードドライバ（サブワード線駆動回路）17が設けられる。サブワードドライバ17は、メインワード線に対して1/8の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に8本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相

補ビット線方向に対して 8 本ずつが割り当てられたサブワード線の中から 1 本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される 8 本のサブワード選択線の中から 1 つを選択する選択信号を形成する。

【0013】

上記 1 つのメモリアレイに着目すると、1 つのメインワード線に割り当てられる 8 個のメモリセルアレイからそれぞれ 1 本のサブワード選択線が選択される結果、1 本のメインワード線に属する $8 \times 6 = 64$ 本のサブワード線の中から 8 つのサブワード線が選択される。上記のようにメインワード線方向に 2K (2048) のメモリセルが設けられるので、1 つのサブワード線には、 $2048 / 8 = 256$ 個のメモリセルが接続されることとなる。この様にダイナミック型 RAMにおいては、リフレッシュ動作（例えばセルフリフレッシュモード）を効率的に行うこと考慮して、1 本のメインワード線に対応する 8 本のサブワード線が選択状態とされる。なお、1 本のメインワード線に対応する 1 本のサブワード線を選択状態とする構成にしてもよい。その場合には、新たな選択信号線が必要であるが、ダイナミック型 RAM の低消費電力化を図ることができる。

【0014】

上記のように 1 つのメモリアレイは、相補ビット線方向に対して 4K ビットの記憶容量を持つ。しかしながら、1 つの相補ビット線に対して 4K ものメモリセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても 16 分割される。つまり、太い黒線で示されたセンスアンプ 16 により 相補ビット線が 16 分割に分割される。特に制限されないが、センスアンプ 16 は、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプ 16 を除いて、センスアンプ 16 を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0015】

図 2 には、この発明に係るダイナミック型 RAM を説明するための概略レイア

ウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、8分割された1つのメモリアレイのレイアウトが示されている。同図は、図1の実施例を別の観点から図示したものである。つまり、図1と同様にメモリチップは、長手方向（ワード線方向）対して左右に2個ずつのメモリアレイ（Array）に分けられて、その長方向における中央部分には複数なるボンディングパッド及び周辺回路（Bonding Pad & peripheral Circuit）が設けられる。2個ずつのメモリアレイは、それぞれが約8Mビットの記憶容量を持つようにされるものであり、そのうちの一方が拡大して示されているように、ワード線方向に8分割され、ビット線方向に16分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ（Sense Amplifier）が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ（Sub-Word Driver）が配置される。

【0016】

上記1つのメモリアレイには、全体で4096本のワード線と2048対の相補ビット線が設けられる。これにより、全体で約8Mビットの記憶容量を持つようになる。上記のように4096本のワード線が16個のサブアレイに分割して配置されるので、1つのサブアレイには256本のワード線（サブワード線）が設けられる。また、上記のように2048対の相補ビット線が8個のサブアレイに分割して配置されるので、1つのサブアレイには256対の相補ビット線が設けられる。

【0017】

メモリアレイの左側には、その左側のメモリアレイと共に設けられる前記メインロウデコーダに対応して、アレイコントロール（Array control）回路及びメインワードドライバ（Main Word driver）が設けられる。上記アレイコントロール回路には、第1のサブワード選択線を駆動するドライバが設けられる。上記メモリアレイには、上記8分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第1のサブワード選択線も上記8分割されたサブアレイを貫通するように延長される。メモリアレイの上部には、Yデコー

ダ (YDecoder) 及び Y選択線ドライバ (YDriver) が設けられる。

【0018】

図3には、この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例の概略レイアウト図が示されている。同図には、図2に示されたメモリアレイの中の斜線を付した位置に配置された4つのサブアレイSBARYが代表として例示的に示されている。同図においては、サブアレイSBARYが形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリアとを区別するものである。

【0019】

サブアレイSBARYは、4種類に分けられる。つまり、ワード線の延長方向を水平方向とすると、右下に配置されるサブアレイSBARYは、サブワード線SWLが256本配置され、相補ビット線対は256対から構成される。それ故、上記256本のサブワード線SWLに対応した256個のサブワードドライバSWDは、かかるサブアレイの左右に128個ずつに分割して配置される。上記256対の相補ビット線BLに対応して設けられる256個のセンスアンプSAは、前記のようなシェアードセンスアンプ方式とされ、かかるサブアレイの上下に128個ずつに分割して配置される。

【0020】

上記のように右上配置されるサブアレイSBARYは、正規のサブワード線SWLが256本に加えて、8本の予備ワード線が設けられる。それ故、上記256+8本のサブワード線SWLに対応した264個のサブワードドライバSWDは、かかるサブアレイの左右に132個ずつに分割して配置される。上記のように右下のサブアレイが256対の相補ビット線BLからなり、上記同様に128個のセンスアンプが上下に配置される。上記右側の上下に配置されるサブアレイSBARYに形成される128対の相補ビット線は、それに挟まれたセンスアンプSAに対してシェアードスイッチMOSFETを介して共通に接続される。

【0021】

上記のように左下配置されるサブアレイSBARYは、右隣接のサブアレイSBARYと同様にサブワード線SWLが256本により構成される。上記同様に

128個のサブワードドライバが分割して配置される。上記下側左右に配置されたサブアレイSBARYの128本のサブワード線SWLは、それに挟まれた領域に形成された128個のサブワードドライバSWDに対して共通に接続される。上記のように左下配置されるサブアレイSBARYは、256対からなる正規の相補ビット線BLに加えて、4対の予備ビット線4REDが設けられる。それ故、上記260対からなる相補ビット線BLに対応した260個のセンスアンプSAは、かかるサブアレイの上下に130個ずつに分割して配置される。

【0022】

上記のように左上配置されるサブアレイSBARYは、右隣接のサブアレイSBARYと同様に正規のサブワード線SWLが256本に予備サブワード線Rが8本設けられ、下隣接のサブアレイと同様に正規の相補ビット線対の256対に加えて、予備のビット線が4対設けられるので、サブワードドライバは、左右に132個ずつ分割して配置され、センスアンプSAは130ずつが上下に分割して配置される。

【0023】

メインワード線MWLは、その1つが代表として例示的に示されているように延長される。また、カラム選択線YSは、その1つが代表として例示的に示されるように延長される。上記メインワード線MWLと平行にサブワード線SWLが配置され、上記カラム選択線YSと平行に相補ビット線BL（図示せず）が配置されるものである。この実施例では、特に制限されないが、上記4つのサブアレイを基本単位として、図2のように8Mビット分のメモリアレイでは、ビット線方向には8組のサブアレイが形成され、ワード線方向には4組のサブアレイが構成される。1組のサブアレイが4個で構成されるから、上記8Mビットのメモリアレイでは、 $8 \times 4 \times 4 = 128$ 個のサブアレイが設けられる。上記8Mビットのメモリアレイがチップ全体では8個設けられるから、メモリチップ全体では $128 \times 8 = 1024$ 個ものサブアレイが形成されるものである。

【0024】

上記4個からなるサブアレイに対して、8本のサブワード選択線FX0B～FX7Bが、メインワード線MWLと同様に4組（8個）のサブアレイを貫通する

ように延長される。そして、サブワード選択線 FX0B～FX3Bからなる4本と、FX4B～FX7Bからなる4本とが上下のサブアレイ上に分けて延長させるようとする。このように2つのサブアレイに対して1組のサブワード選択線FX0B～FX7Bを割り当て、かつ、それらをサブアレイ上を延長させるようする理由は、メモリチップサイズの小型化を図るためである。

【0025】

つまり、各サブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを割り当て、しかもそれをセンスアンプエリア上に配線チャンネルに形成した場合、図2のメモリアレイのように16個ものサブアレイが上下のメモリアレイにおいて合計32個も配置されるために、 $8 \times 32 = 256$ 本分もの配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが、2つのサブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを割り当て、しかも、それをサブアレイ上を通過するように配置させることにより、格別な配線チャンネルを設けることなく形成することができる。

【0026】

そもそも、サブアレイ上には、8本のサブワード線に対して1本のメインワード線が設けられるものであり、その8本の中の1本のサブワード線を選択するためにサブワード選択線が必要になるものである。メモリセルのピッチに合わせて形成されるサブワード線の8本分に1本の割り合いでメインワード線が形成されるものであるために、メインワード線の配線ピッチは緩やかになっている。したがって、メインワード線と同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは比較的容易にできるものである。

【0027】

この実施例のサブワードドライバは、後述するように上記サブワード選択線FX0B等を通して供給される選択信号と、それを反転させた選択信号とを用いて1つのサブワード線SWLを選択する構成を探る。そして、サブワードドライバは、それを中心として左右に配置されるサブアレイのサブワード線SWLを同時に選択するような構成を探るものである。そのため、上記のように2つのサブアレイに対しては、 $128 \times 2 = 256$ 個ものサブワードドライバに対して、上記

4本のサブワード選択線を割り振って供給する。つまり、サブワード選択線FX0Bに着目すると、 $256 \div 4 = 64$ 個ものサブワードドライバに選択信号を供給する必要がある。

【0028】

上記メインワード線MWLと平行に延長されるものを第1のサブワード選択線FX0Bとすると、左上部のクロスエリアに設けられ、上記第1のサブワード選択線FX0Bからの選択信号を受けるサブワード選択線駆動回路FXDを介して、上記上下に配列される64個のサブワードドライバに選択信号を供給する第2のサブワード線FX0が設けられる。上記第1のサブワード選択線FX0Bは上記メインワード線MWL及びサブワード線SWLと平行に延長されるのに対して上記第2のサブワード選択線は、それと直交するカラム選択線YS及び相補ビット線BLと平行に延長される。上記8本の第1のサブワード選択線FX0B～FX7Bに対して、上記第2のサブワード選択線FX0～FX7は、偶数FX0, 2, 4, 6と、奇数FX1, 3, 5, 7とに分割されてサブアレイSBARYの左右に設けられたサブワードドライバSWDに振り分けられて配置される。

【0029】

上記サブワード選択線駆動回路FXDは、同図において■で示したように、1つのクロスエリアの上下に2個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、左中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、左下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。

【0030】

中央上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX1Bに対応され、中央中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX3Bと、FX5Bに対応され、中央下部のクロスエリアに設けられた上側に

配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX7Bに対応される。そして、右上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、右中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、右下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。このようにメモリアレイの端部に設けられたサブワードドライバは、その右側にはサブアレイが存在しないから、左側だけのサブワード線SWLを駆動する。

【0031】

この実施例のようにサブアレイ上のメインワード線のピッチの間にサブワード選択線を配置する構成では、格別な配線チャンネルが不要にできるから、1つのサブアレイに8本のサブワード選択線を配置するようにしてもメモリチップがお大きくなることはない。しかしながら、上記のようなサブワード選択線駆動回路FXDを形成するために領域が増大し、高集積化を妨げることとなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線MIOやサブ入出力線LI0に対応して設けられるスイッチ回路IOSWや、センスアンプを駆動するパワーMOSFET、シェアードスイッチMOSFETを駆動するための駆動回路、プリチャージMOSFETを駆動する駆動回路等の周辺回路が形成されるために面積的な余裕が無いからである。

【0032】

後述するようにサブワードドライバにおいては、上記第2のサブワード選択線FX0~4等には、それと平行に第1サブワード選択線FX0B~4Bに対応した選択信号を通す配線が設けられるものであるが、その負荷が後述するように小さいので、上記第2のサブワード選択線FX0~4のように格別なドライバFXDを設けることなく、上記第1サブワード選択線FX0B~4Bと直接接続される配線によって構成される。ただし、その配線層は上記第2のサブワード選択線FX0~4と同じものが用いられる。

【0033】

図4には、上記サブアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図が示されている。同図は、主に回路動作を説明するものであり、前記のようなサブワード選択線の幾何学的な配置を無視してサブワード選択線FX0B～7Bを纏めて表している。同図においては、サブワード線の選択動作を説明するために2本のメインワード線MWL0とMWL1が代表として示されている。これらのメインワード線MWL0は、メインワードドライバMWD0により選択される。他のメインワード線MWL1は、上記同様なメインワードドライバにより同様に選択される。

【0034】

上記1つのメインワード線MWL0には、その延長方向に対して8組のサブワード線が設けられる。同図には、そのうちの2組のサブワード線が代表として例示的に示されている。サブワード線は、偶数0～6と奇数1～7の合計8本のサブワード線が1つのサブアレイに交互に配置される。メインワードドライバに隣接する偶数0～6と、メインワード線の遠端側（ワードドライバの反対側）に配置される奇数1～7を除いて、サブアレイ間に配置されるサブワードドライバは、それを中心にした左右のサブアレイのサブワード線を駆動する。

【0035】

これにより、前記のようにサブアレイとしては、8分割されるが、上記のように実質的にサブワードドライバSWDにより2つのサブアレイに対応したサブワード線が同時に選択されるので、実質的には上記サブアレイが4組に分けられることとなる。上記のようにサブワード線SWLを偶数0～6と偶数1～7に分け、それぞれメモリブロックの両側にサブワードドライバSWDを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線SWLの実質的なピッチがサブワードドライバSWDの中で2倍に緩和でき、サブワードドライバSWDとサブワード線SWLとを効率よく半導体チップ上にレイアウトすることができる。

【0036】

この実施例では、上記サブワードドライバSWDは、4本のサブワード線0～6(1～7)に対して共通にメインワード線MWLから選択信号を供給する。上

記4つのサブワード線の中から1つのサブワード線を選択するためのサブワード選択線F XBが設けられる。サブワード選択線は、F XB 0～F XB 7の8本から構成され、そのうちの偶数F XB 0～F XB 6が上記偶数列のサブワードドライバ0～6に供給され、そのうち奇数F XB 1～F XB 7が上記奇数列のサブワードドライバ1～7に供給される。

【0037】

サブワード選択線F XB 0～F XB 7は、サブアレイ上では第2層目の金属（メタル）配線層M 2により形成され、同じく第2層目の金属配線層M 2により構成されるメインワード線MWL 0～MWL nと平行に延長される第1サブワード選択線と、そこから直交する方向に延長される第2のサブワード選択線からなる。特に制限されないが、上記第2のサブワード選択線は、メインワード線MWLとの交差するために第3層目の金属配線層M 3により構成される。

【0038】

サブワードドライバSWDは、そのうちの1つが例示的に示されているように、メインワード線MWLに入力端子が接続され、出力端子にサブワード線SWLが接続されたPチャンネル型MOSFET Q21とNチャンネル型MOSFET Q22からなる第1のCMOSインバータ回路と、上記サブワード線SWLと回路の接地電位との間に設けられ、上記サブワード選択信号F XBを受けるスイッチMOSFET Q23から構成される。このスイッチMOSFET Q23のゲートを接続するために、実際には0、2、4、6からなるサブワードドライバ列にそってFXとF XBとの合計8本のサブワード選択線が配置されるが、同図では1つの線で表している。

【0039】

上記サブワード選択信号F XBの反転信号FXを形成する第2のCMOSインバータ回路N1がサブワード選択線駆動回路FXDとして設けられ、その出力信号を上記第1のCMOSインバータ回路の動作電圧端子であるPチャンネル型MOSFET Q21のソース端子に供給する。この第2のCMOSインバータ回路N1は、特に制限されないが、前記図3のようにクロスエリアに形成され、複数（前記実施例では64個）からなるサブワードドライバSWDに対応して共通に

用いられる。

【0040】

上記のようなサブワードドライバSWDの構成においては、メインワード線MWLがワード線の選択レベルに対応した昇圧電圧VPPのようなハイレベルのとき、上記第1のCMOSインバータ回路のNチャンネル型MOSFETQ22がオン状態となり、サブワード線SWLを回路の接地電位のようなロウレベルにする。このとき、サブワード選択信号FXBが回路の接地電位のようなロウレベルのような選択レベルとなり、サブワード選択線駆動回路FXDとしての第2のCMOSインバータ回路N1の出力信号が上記昇圧電圧VPPに対応した選択レベルにされても、上記メインワード線MWLの非選択レベルにより、Pチャンネル型MOSFETQ21がオフ状態であるので、上記サブワード線SWLは上記Nチャンネル型MOSFETQ22のオン状態による非選択状態にされる。

【0041】

上記メインワード線MWLが選択レベルに対応した回路の接地電位のようなロウレベルのとき、上記第1のCMOSインバータ回路のNチャンネル型MOSFETQ22がオフ状態となり、Pチャンネル型MOSFETQ21がオン状態になる。このとき、サブワード選択信号FXBが上記回路の接地電位のようなロウレベルなら、サブワード選択線駆動回路FXDとしての第2のCMOSインバータ回路N1の出力信号が上記昇圧電圧VPPに対応した選択レベルにされて、サブワード線SWLをVPPのような選択レベルにする。もしも、サブワード選択信号FXBが昇圧電圧VPPのような非選択レベルなら、上記第2のCMOSインバータ回路N2の出力信号がロウレベルとなり、これとともに上記Nチャンネル型MOSFETQ23がオン状態になってサブワード線SWLをロウレベルの非選択レベルにする。

【0042】

上記メインワード線MWL及びそれと平行に配置される第1のサブワード選択線FXBは、上記のように非選択レベルが共にVPPのようなハイレベルにされている。それ故、RAMが非選択状態（スタンバイ）状態のときに上記平行に配置されるメインワード線MWLと第1のサブワード選択線FXBとの間に絶縁不

良が発生しても、リーク電流が流れることがない。この結果、メインワード線M WLの間に第1のサブワード選択線F XB形成してサブアレイ上に配置させることができ、レアウトの高密度化としても、上記リーク電流による直流不良を回避することができ高信頼性となるものである。

【0043】

図5には、上記メモリアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として1本のメインワード線MW Lが示されている。このメインワード線MW Lは、メインワードドライバMWDにより選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバSW Dが設けられる。

【0044】

同図では、省略されてるが上記メインワード線MW Lと平行に配置されるサブワード線と直交するように相補ビット線(Pair Bit Line)が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してサブアレイ(メモリセルアレイ)を中心にして左右にセンスアンプSAが振り分けられる。センスアンプSAは、前記のようにシェアードセンス方式とされるが、端部のセンスアンプSAでは、実質的に片方にした相補ビット線が設けられないが、後述するようなシェアードスイッチMOSFETを介して相補ビット線と接続される。

【0045】

上記のようにメモリブロックの両側にセンスアンプSAを分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプSAを形成する素子エリアを確保することができるものとなる。上記センスアンプSAの配列に沿って上記サブ入出力線が配置される。このサブ入出力線は、カラムスイッチを介して上記相補ビット線に接続される。カラムスイッチは、スイッチMOSFETから構成される。このスイッチMOSFETのゲートは、カラムデコーダCOLUMN DECORDERの選択信号が伝えられるカラム選択線YSに接続される。

【0046】

図6には、この発明に係るダイナミック型RAMのセンスアンプ部の一実施例の要部回路図が示されている。同図においては、メモリマット（前記サブアレイ）MAT0とMAT1に挟まれて配置されたセンスアンプSA1とそれに関連した回路が例示的に示されている。メモリマットMAT1はブラックボックスとして示され、端部に設けられるセンスアンプSA0もブラックボックスとして示されている。

【0047】

ダイナミック型メモリセルは、メモリマットMMA T0に設けられたサブワード線SWLに対応して4個が代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと情報記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続され、このMOSFETQmのドレインがビット線に接続され、ソースに情報記憶キャパシタCsが接続される。情報記憶キャパシタCsの他方の電極は共通化されてプレート電圧が与えられる。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。例えば、後述するセンスアンプの電源電圧VCCで動作させるようにした場合、上記ビット線に与えられるハイレベルは電源電圧VCCに対応したレベルにされるから、上記ワード線の選択レベルに対応した高電圧VPPはVCC+Vthにされる。

【0048】

一对の相補ビット線は、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線は、シェアードスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型MOSFETQ5, Q6及びPチャンネル型MOSFETQ7, Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上

記共通ソース線C S NとC S Pには、Nチャンネル型MOSFETとPチャンネル型MOSFETのパワースイッチMOSFETがそれぞれ設けられて、センスアンプの活性化信号により上記パワースイッチMOSFETがオン状態になり、センスアンプの動作に必要な電圧供給、例えばVCCとVSSを供給する。

【0049】

上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるMOSFET Q11と、相補ビット線にハーフプリチャージ電圧HVCを供給するスイッチMOSFET Q9とQ10からなるプリチャージ回路が設けられる。これらのMOSFET Q9～Q11のゲートは、共通にプリチャージ信号PCBが供給される。MOSFET Q12とQ13は、カラム選択信号YSによりスイッチ制御されるカラムスイッチを構成する。この実施例では、1つのカラム選択信号YSにより4対のビット線を選択できるようにされる。つまり、ブラックボックスで示されたセンスアンプSA0においても、同様なカラムスイッチが設けられている。このようにメモリマットMMAT0を挟んで2つのセンスアンプSA0とSA1により、相補ビット線のうち、偶数列のビット線と奇数列のビット線とに分けて上記センスアンプSA0とSA1を対応させるものである。それ故、上記カラム選択信号YSは、センスアンプSA1側で例示的に示されている2対のビット線と、センスアンプSA0側に設けられる図示しない残り2対のビット線とに対応した合計4対の相補ビット線を選択できるようになる。これらの2対ずつの相補ビット線対は、上記カラムスイッチを介して2対ずつのサブ入出力線I/Oに接続される。

【0050】

センスアンプSA1は、シェアードスイッチMOSFET Q3とQ4を介してメモリマットMMAT1の同様な奇数列の相補ビット線に接続される。メモリマットMMAT1の偶数列の相補ビット線は、メモリマットMMAT1の右側に配置される図示しないセンスアンプSA2に、前記シェアードスイッチMOSFET Q1とQ2に対応したシェアードスイッチMOSFETを介して接続される。このような繰り返しパターンにより、メモリアレイが分割されてなるメモリマット（前記メモリブロック）間に設けられるセンスアンプに接続される。例えば、

メモリマットMMA T 0のサブワード線SWLが選択されたときには、センスアンプSA 0の右側シェアードスイッチMOSFETと、センスアンプSA 1の左側シェアードスイッチMOSFETとがオン状態にされる。ただし、上記端部のセンスアンプSA 0では、上記右側シェアードスイッチMOSFETのみが設けられるものである。信号SHRLは、左側シェアード選択信号であり、SHRR右側シェアード選択信号である。

【0051】

図7には、この発明に係るダイナミック型RAMの周辺部分の一実施例の概略ブロック図が示されている。タイミング制御回路TGは、外部端子から供給されるロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトトイネーブル信号/WE及びアウトプットトイネーブル信号/OEを受けて、動作モードの判定、それに対応して内部回路の動作に必要な各種のタイミング信号を形成する。この明細書及び図面では、/はロウレベルがアクティブレベルであることを意味するのに用いている。

【0052】

信号R1とR3は、ロウ系の内部タイミング信号であり、ロウ系の選択動作のために使用される。タイミング信号 ϕ_{XL} は、ロウ系アドレスを取り込んで保持させる信号であり、ロウアドレスバッファRABに供給される。すなわち、ロウアドレスバッファRABは、上記タイミング信号 ϕ_{XL} によりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。タイミング信号 ϕ_{YL} は、カラムウ系アドレスを取り込んで保持させる信号であり、カラムアドレスバッファCABに供給される。すなわち、カラムアドレスバッファRABは、上記タイミング信号 ϕ_{YL} によりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。

【0053】

信号 ϕ_{REF} は、リフレッシュモードのときに発生される信号であり、ロウアドレスバッファの入力部に設けられたマルチプレクサAMXに供給されて、リフレッシュモードのときにリフレッシュアドレスカウンタ回路RFCにより形成されたリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアド

レスカウンタ回路RFCは、タイミング制御回路TGにより形成されたリフレッシュ用の歩進パルスφRCを計数してリフレッシュアドレス信号を生成する。この実施例では後述するようなオートリフレッシュとセルフリフレッシュを持つようになる。タイミング信号φXは、ワード線選択タイミング信号であり、デコーダXIBに供給されて、下位2ビットのアドレス信号の解読された信号に基づいて4通りのワード線選択タイミング信号XiBが形成される。タイミング信号φYはカラム選択タイミング信号であり、カラム系プリデコーダYPDに供給されてカラム選択信号AYix、AYjx、AYkxが出力される。

【0054】

タイミング信号φWは、書き込み動作を指示する制御信号であり、タイミング信号φRは読み出し動作を指示する制御信号である。これらのタイミング信号φWとφRは、入出力回路I/Oに供給されて、書き込み動作のときには入出力回路I/Oに含まれる入力バッファを活性化し、出力バッファを出力ハイインピーダンス状態にさせる。これに対して、読み出し動作のときには、上記出力バッファを活性化し、入力バッファを出力ハイインピーダンス状態にする。タイミング信号φMSは、特に制限されないが、メモリアレイ選択動作を指示する信号であり、ロウアドレスバッファRABに供給され、このタイミングに同期して選択信号MSiが出力される。タイミング信号φSAは、センスアンプの動作を指示する信号である。このタイミング信号φSAに基づいて、センスアンプの活性化パルスが形成される。

【0055】

この実施例では、ロウ系の冗長回路X-REDが代表として例示的に示されている。すなわち、上記回路X-REDは、不良アドレスを記憶させる記憶回路と、アドレス比較回路とを含んでいる。記憶された不良アドレスとロウアドレスバッファRABから出力される内部アドレス信号BXiとを比較し、不一致のときには信号XEをハイレベルにし、信号XEBをロウレベルにして、正規回路の動作を有効にする。上記入力された内部アドレス信号BXiと記憶された不良アドレスとが一致すると、信号XEをロウレベルにして正規回路の不良メインワード線の選択動作を禁止させるとともに、信号XEBをハイレベルにして、1つの予

備メインワード線を選択する選択信号X R i B を出力させる。

【0056】

図8には、この発明に係るダイナミック型RAMを説明するための素子構造断面図が示されている。この実施例では、上記のようなメモリセル部の素子構造が代表として例示的に示されている。メモリセルの記憶キャパシタは、2層目のポリシリコン層をストレージノードSNとして用い、アドレス選択用MOSFETの一方のソース、ドレインSDと接続される。上記2層目ポリシリコン層からなるストレージノードSNは王冠構造とされ、薄いゲート絶縁膜を介して3層目ポリシリコン層からなるプレート電極PLが形成されて構成される。アドレス選択用MOSFETのゲートは、サブワード線SWLと一体的に構成され、1層目ポリシリコン層とその上部に形成されたタングステンシリサイド(WSi)とにより形成される。アドレス選択用MOSFETの他方のソース、ドレインは、ポリシリコン層とその上部設けられた上記同様なタングステンシリサイドから構成されたピット線BLに接続される。上記メモリセルの上部には、第2層目のメタル層M2からなるメインワード線MWB、サブワード選択線FXBが形成され、その上部には第3層目からなるメタル層M3からなるY選択線YSや、サブワード選択線FXが形成される。

【0057】

同図では省略されているが、メモリセル部の周辺部には、サブワードドライバSWD等を構成するようなNチャンネル型MOSFETやPチャンネル型MOSFETが形成される。これらの周辺回路を構成するために、図示しいが1層目メタル層が形成されている。例えば、上記CMOSインバータ回路を構成するためにNチャンネル型MOSFETとPチャンネル型MOSFETとのゲートを接続する配線は、上記1層目のメタル層M1が用いられる。上記CMOSインバータ回路回路の入力端子と2層目メタル層M2からなるメインワード線MWBとの接続には、スルーホールを介してダミーとしての第1層目メタル層M1に落とし、この第1層目の配線層M1とコンタクトを介してゲート電極に接続される。

【0058】

3層目のメタル層M3で形成されたY選択線YSをカラム選択スイッチMOS

FETのゲートに接続させる場合、あるいは上記メタル層M3で形成されたサブワード線選択線FXとサブワードドライバのPチャンネル型MOSFETのソース、ドレインとの接続には、スルーホールを介して上記ダミーとしてのメタル層M2、メタル層M1に落とし上記カラムスイッチMOSFETのゲートや、Pチャンネル型MOSFETのソース、ドレインと接続される。

【0059】

この実施例のような素子構造を探るとき、前記のようにメインワード線を構成する第2層目のメタル層M2に対して、それと平行に延長される第2層目のメタル層M2の部分又は上記メインワード線のメタル層M2と交差する第3層目のメタル層M3の部分からなるサブワード選択線との間の絶縁膜に欠陥が生じることにより、無視できないリーク電流が流れてしまう。このようなリーク電流それ自体は、メモリセルの読み出し／書き込み動作には影響を及ぼさないなら実際には問題ないが、非選択状態での電流不良という問題を引き起こしてしまう。本願発明では、上記のようにメインワード線MWBとサブワード選択線FXBとが同じ電位で非選択状態であるために上記リーク電流の発生が生じない。

【0060】

上記メインワード線MWBとサブワード選択線FXBとの間のリーク電流の発生よりメモリセルの読み出し／書き込み動作に不良が生じる場合には、予備のメインワード線に置き換えられる。しかしながら、不良のメインワード線MWBはそのまま残り、上記メインワード線MWBに対してリーク電流が流れ続ける結果となる。上記のようなリーク電流の発生は、かかるメインワード線MWBが予備のメインワード線に置き換えられる結果、メモリの読み出し、書き込み動作そのものには何ら影響を与えない。しかしながら、直流電流が増加してしまい、製品としての性能の悪化につながり、最悪の場合には直流不良にされるので上記欠陥救済回路が生かされなくなるが、上記のような構成とすることによりそれを回避させることができる。

【0061】

図9には、この発明の他の一実施例の概略構成図が示されている。同図(A)には、ワード線駆動回路の回路が示され、同図(B)には、1つのサブアレイと

その周辺回路の配置が示されている。同図（B）に示すように、サブアレイは、前記同様に 64 K ビットのような記憶容量を持つようにされる。つまり、上記サブアレイの左右に配置された 128 個ずつのサブワードドライバ SWD が設けられることに対応して、サブワード線は 256 本から構成される。それに対してセンスアンプ SA が 128 個ずつ上下に振り分けられて設けられ、合計 256 個のセンスアンプに対応して 256 対の相補ビット線が設けられる。したがって、上記 256 本のワード線と 256 本のビット線との交点のそれぞれにメモリセルが配置されるために、サブアレイとしては、 $256 \times 256 = 65536$ (約 64 K) のような記憶容量を持つようになる。

【0062】

上記サブアレイ上にはメインワード線が延長される。この実施例では、サブアレイの上部において例示的に示されているように、上から 3 本のメインワード線 MWL のうち、第 1 番目と第 3 番目の両側にサブワード選択線を一対としてそれぞれ配置し、それをサブワードドライバ領域で短絡させる。これにより、等価的にサブワード選択線の抵抗値を半分に減らすことができるので、サブワード選択線の低抵抗化が可能になり、ひいてはサブワード線選択動作の高速動作化を図ることができる。前記図 3 の説明から理解されるようにメモリアレイの下側においても、上記同様に 2 対ずつのサブワード選択線が配置されるものである。

【0063】

上記クロスエリアに余裕が無いときには、4 つのサブアレイに対して上記サブワード選択線駆動回路を 1 つ設けるようにしてもよい。このような構成とすることにより、クロスエリア当たりに設けられるサブワード選択線駆動回路を 1 個に減らすことができるようになる。そして、サブアレイ上には各 2 本ずつのサブワード選択線を延長させるようにすればよい。

【0064】

図 10 には、上記サブワードドライバの他の一実施例の回路図が示されている。 (A) には、CMOS タイプが示されている。CMOS タイプは、メインワード線の選択信号 MW 信号を受ける CMOS インバータ回路で反転信号 MWB を形成し、P チャンネル型 MOSFET Q31 と N チャンネル型 MOSFET Q32

のゲートに供給する。このMOSFET Q31とQ32からなるCMOSインバータ回路の出力端子にサブワード線 SWL を接続とともに、上記Pチャンネル型MOSFET Q31に並列にNチャンネル型MOSFET Q33を設ける。そして、上記Pチャンネル型MOSFET Q31のソースにサブワード選択信号 FX を供給し、Nチャンネル型MOSFET Q33のゲートに上記メインワード選択信号 MW を供給する。

【0065】

この構成では、サブワード選択信号 FX をワード線の選択レベルに対応した昇圧電圧 VPP を供給し、メインワード選択信号 MW を上記昇圧電圧 VPP に対応したハイレベルにする。これにより、反転信号 MWB がロウレベルとなり、Pチャンネル型MOSFET Q31をオン状態にするので、サブワード線 SWL が上記昇圧電圧 VPP に対応された選択レベルとなる。メインワード選択信号 MW が回路の接地電位のようなロウレベルなら、反転信号 MWB が昇圧電圧 VPP のようなハイレベルとなり、Pチャンネル型MOSFET Q31をオフ状態にして、Nチャンネル型MOSFET Q32をオン状態にするので、サブワード線 SWL はロウレベルのような非選択レベルにされる。メインワード選択信号 MW を上記昇圧電圧 VPP に対応したハイレベルにし MWB がロウレベルとなって Pチャンネル型MOSFET Q31がオン状態になるが、そのときにサブワード選択信号 FX を回路の接地電位のようなロウレベルに対してしきい値電圧分だけサブワード線の浮き上がりが生じるので、記メインワード選択信号 MW のハイレベルにより Nチャンネル型MOSFET Q33もオン状態になってサブワード線 SWL の電位を接地電位のようなロウレベルにする。

【0066】

この実施例においても、上記メインワード線選択信号 MW の非選択レベルと、サブワード選択信号 FX の非選択レベルとが同じく回路の接地電位のようなロウレベルにできるために、メインワード線とサブワード選択線とをメモリアレイ上において同じ配線層を用いて形成しても、前記のようなリーク電流による不都合が生じない。

【0067】

(B) には、N MOS タイプが示されている。N MOS タイプは、低しきい値電圧の電源電圧側MOSFET Q34と回路の接地電位側のMOSFET Q35とを相補的にオン状態／オフ状態にしてサブワード線 SWL を選択／非選択状態にするものである。上記MOSFET Q34 のゲートには、メインワード選択信号 MW を伝える低しきい値電圧のカット用MOSFET Q36 が設けられ、そのゲートには定常的に昇圧電圧 VPP が印加される。上記メインワード線選択信号 MW とサブワード線 SWLとの間には、サブワード選択信号 FX が供給される低しきい値電圧のMOSFET Q37 が設けられる。

【0068】

この実施例では、サブワード選択信号 FX が昇圧電圧 VPP で、メインワード線 MW がハイレベルのときにサブワード線 SWL が昇圧電圧に対応したハイレベルにされる。つまり、メインワード選択信号 MW のハイレベルによりMOSFET Q34 がオン状態となり、サブワード選択信号 FX のハイレベルにより、MOSFET Q34においてセルフブーストがかかり、Nチャンネル型MOSFET Q34 を用いつつ、サブワード線 SWL を昇圧電圧 VPP まで高くすることができる。サブワード選択信号 FXB がハイレベルで FX がロウレベルなら、MOSFET Q35 のオン状態や、メインワード選択信号 MW によるMOSFET Q34 のオン状態によりサブワード線 SWL は回路の接地電位のようなロウレベルにされる。上記サブワード選択信号 FX には、サブワード線 SWL をドライブするだけの電流供給能力が必要になるために、前記クロスエリアにサブワード選択線駆動回路が設けられる。このため、メインワード線 MW とサブワード選択信号 FXB とをサブアレイ上の配置させるようにすればよい。

【0069】

(C) には、NOR タイプが示されている。Pチャンネル型MOSFET Q38 とNチャンネル型MOSFET Q39 からなるCMOS インバータ回路に対して、Pチャンネル型MOSFET Q40 からなる Pチャンネル型のスイッチMOSFET Q40 が設けられる。また、サブワード線 SWL と回路の接地電位との間には、Nチャンネル型MOSFET Q41 が設けられる。そして、上記CMOS インバータ回路の入力には、サブワード選択信号 FX が供給され、上記 P チャ

ンネル型とNチャンネル型のスイッチMOSFET Q40と41には、上記メインワード選択信号MWBが供給される。

【0070】

この構成では、サブワード線 SWL の選択レベルは、電源電圧 VDD にされる。それ故、センスアンプの動作電圧が上記電源電圧 VDD に対してメモリセルのアドレス選択MOSFET のしきい値電圧分だけ低下させた動作電圧が用いられる。この構成では、サブワード選択線駆動回路が不要になるため、上記クロスエリアに余裕が生まれるものである。そのために、1列のサブアレイに対して前記のように8本等を1組とするサブワード選択線 FX を延長させるようにすることができる。上記電源電圧 VDD を昇圧電圧 VPP とすれば、センスアンプの動作電圧を電源電圧 VDD にすることができる。

【0071】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるメモリセルが接続されてなるサブワード線を設け、上記メインワード線と平行するよう設けられる第1のサブワード選択線をサブアレイ上を延長させてワード線の延長方向に並べられた複数のサブアレイに導き、上記第1のサブワード選択線の対応するものと接続されて上記メインワード線と直交するよう延長される第2のサブワード選択線を隣接するサブアレイのワード線駆動回路領域まで延長させ、各サブアレイに対応して設けられたサブワード線駆動回路において、上記メインワード線と上記第2のサブワード選択線からの信号によりサブワード線の選択動作と非選択動作を行わせることにより、分割ワード線方式を採用しつつ、高集積化を実現できるという効果が得られる。

【0072】

(2) 複数からなるサブワード線配列の両端側にサブワード線駆動回路を振り分けて分割して配置し、複数からなる相補ビット線配列の両端側にセンスアンプを振り分けて分割して配置し、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるようにサブアレイを形成することにより、サブ

アレイにおいて高密度に配置されるサブワード線及び相補ビット線のそれぞれの配線ピッチの2倍のピッチでサブワード線駆動回路とセンスアンプを配置させることができるという効果が得られる。

【0073】

(3) 上記センスアンプを、シェアードセンス方式としてそれを中心にして隣接するサブアレイのビット線に対応して設け、上記サブワード線駆動回路を中心にして隣接するサブアレイのサブワード線を選択するようによることにより、効率よくサブアレイとその駆動回路及びセンスアンプを配置させることができるという効果が得られる。

【0074】

(4) 上記メインワード線はロウレベルの選択レベルとする反転メインワード線とし、上記第2のサブワード選択線はハイレベルを選択レベルとする非反転サブワード選択線とロウレベルを選択レベルとする反転サブワード選択線とし、サブワード線駆動回路として、上記メインワード線が共通接続されたゲートからなる入力端子に接続され、その出力端子に上記サブワード線が接続され、上記第2の非反転サブワード選択線がソースに接続されたPチャンネル型MOSFET及びそのソースが接地電位に接続されたNチャンネル型MOSFETからなる第1のCMOSインバータ回路と、上記第1のサブワード選択線にゲートが接続され、上記サブワード線と回路の接地電位との間に設けられ、ゲートが上記第2の反転サブワード線に接続されたNチャンネル型MOSFETとし、上記第2の反転サブワード選択線は、上記第1のサブワード選択線に接続されてなり、上記第2の非反転サブワード線は、上記第1のサブワード選択線が入力端子が接続され第2のCMOSインバータ回路からなるサブワード選択線駆動回路により形成された選択信号が伝えられるものとすることにより、少ない素子数で効率よくサブワード線駆動回路を構成することができるという効果が得られる。

【0075】

(5) 上記サブワード選択線駆動回路を、上記センスアンプ列とサブワード線駆動回路列とが交差するクロスエリアに配置されることにより、サブワード線駆動回路を効率よく配置させることができるという効果が得られる。

【0076】

(6) 上記第1のサブワード選択線は、上記メインワード線の間に配置され、メインワード線と同じ配線層を利用して形成されるともに、それを挟むように配置された2つの配線層を短絡させて1つの第1のサブワード選択線として用いることよりサブワード選択線の低抵抗化が図られ、それに伴いサブワード線の高速動作化が図られるという効果が得られる。

【0077】

(7) 上記メインワード線及び第1のサブワード選択線を第2層目のメタル層により形成し、上記第2のサブワード選択線は、第3層目のメタル層、第2層目のメタル層及び第1層目のメタル層を用いて構成し、上記メインワード線と交差する部分では上記第3層目のメタル層が用いられ、上記サブワード線駆動回路を構成する回路素子に接続される部分では第1層目のメタル層を用いて構成することにより、効率よくメインワード線及び第1のサブワード選択線と第2のサブワード選択線を構成することができるという効果が得られる。

【0078】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、サブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を探ることができる。また、サブワードドライバの構成は、種々の実施形態を探ることができる。入出力インターフェイスの部分は、クロック信号に同期して動作を行うようにされたシンクロナスダイナミック型RAMとしてもよい。1つのメインワード線に割り当たられるサブワード線の数は、前記のように4本の他に8本等種々の実施形態を探ることができる。この発明は、メインワード線とサブワード線とを備えた分割ワード線方式のダイナミック型RAMに広く利用できる。

【0079】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単

に説明すれば、下記の通りである。すなわち、メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるメモリセルが接続されてなるサブワード線を設け、上記メインワード線と平行するように設けられる第1のサブワード選択線をサブアレイ上を延長させてワード線の延長方向に並べられた複数のサブアレイに導き、上記第1のサブワード選択線の対応するものと接続されて上記メインワード線と直交するように延長される第2のサブワード選択線を隣接するサブアレイのワード線駆動回路領域まで延長させ、各サブアレイに対応して設けられたサブワード線駆動回路において、上記メインワード線と上記第2のサブワード選択線からの信号によりサブワード線の選択動作と非選択動作を行わせるようすることにより、分割ワード線方式を採用しつつ、高集積化を実現できる。

【図面の簡単な説明】

【図1】

この発明に係るダイナミック型RAMの一実施例を示すレイアウト図である。

【図2】

この発明に係るダイナミック型RAMを説明するための概略レイアウト図である。

【図3】

この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。

【図4】

図1に示したメモリアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図である。

【図5】

図1のメモリアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図である。

【図6】

この発明に係るダイナミック型RAMのセンスアンプ部の一実施例を示す要部回路図である。

【図7】

この発明に係るダイナミック型RAMの周辺部分の一実施例を示す概略プロック図である。

【図8】

この発明に係るダイナミック型RAMを説明するためのメモリセル部の素子構造断面図である。

【図9】

この発明の他の一実施例を示す概略構成図である。

【図10】

この発明に係るダイナミック型RAMに用いられるサブワードドライバの他の一実施例を示す回路図である。

【符号の説明】

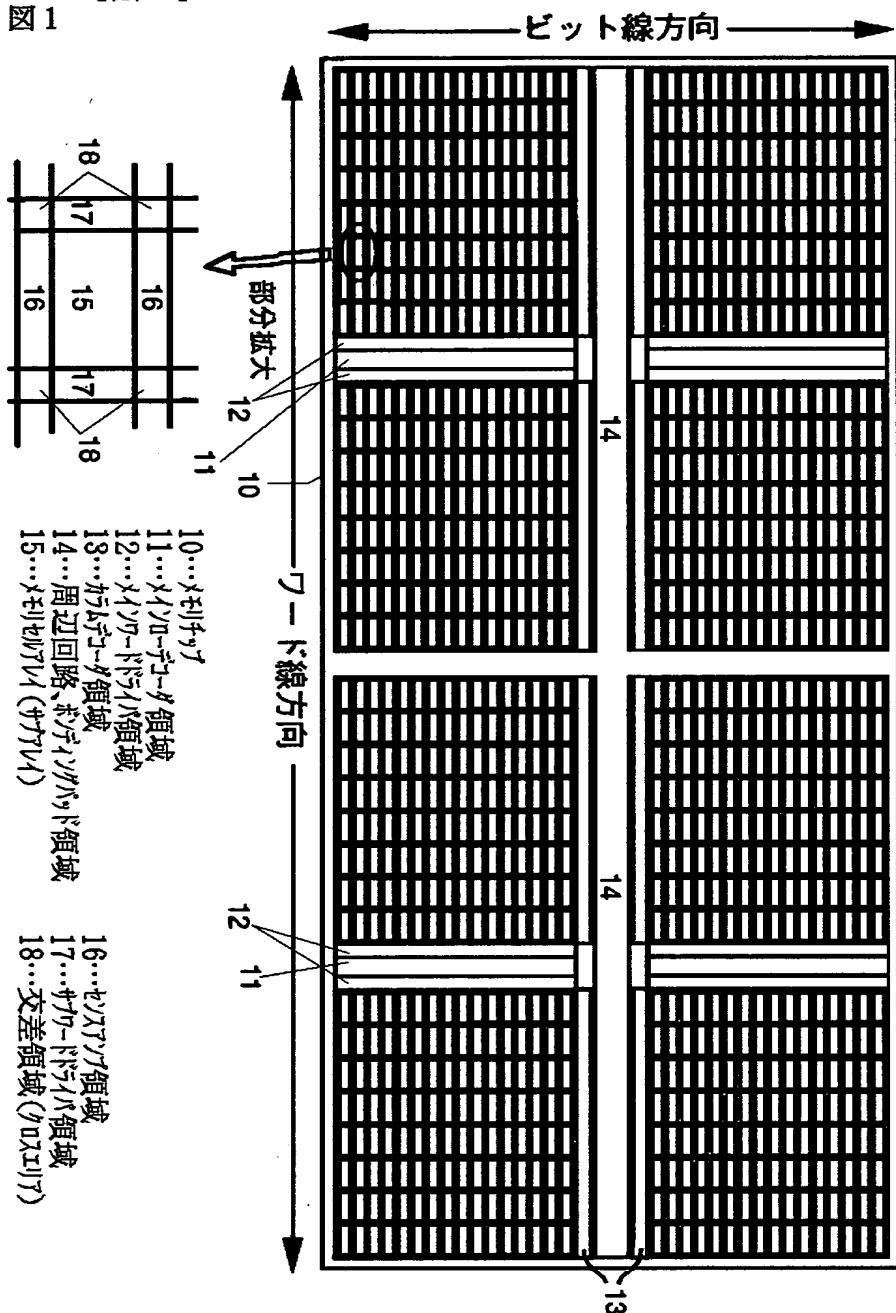
10…メモリチップ、11…メインロウデコーダ領域、12…メインワードドライバ領域、13…カラムデコーダ領域、14…周辺回路、ポンディングパッド領域、15…メセリセルアレイ（サブアレイ）、16…センスアンプ領域、17…サブワードドライバ領域、18…交差領域（クロスエリア）

SA, SA1, SA2…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL0…サブワード線、YS…カラム選択線、MMAT0, MMAT1…メモリマット（サブアレイ）、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD, YPD…プリテコーダ回路、X-DEC…ロウ系冗長回路、XIB…デコーダ回路、

Q1～Q41…MOSFET、CSP, CSN…共通ソース線、YS…カラム選択信号、HVC…ハーフプリチャージ電圧、SHRL, SHRR…シェアード選択線、I/O…入出力線、

M1～M3…メタル層、SN…ストレージノード、PL…プレート電極、BL…ビット線、SD…ソース、ドレン、FG…1層目ポリシリコン層。

【書類名】 図面

【図1】
図1

【図2】
図2

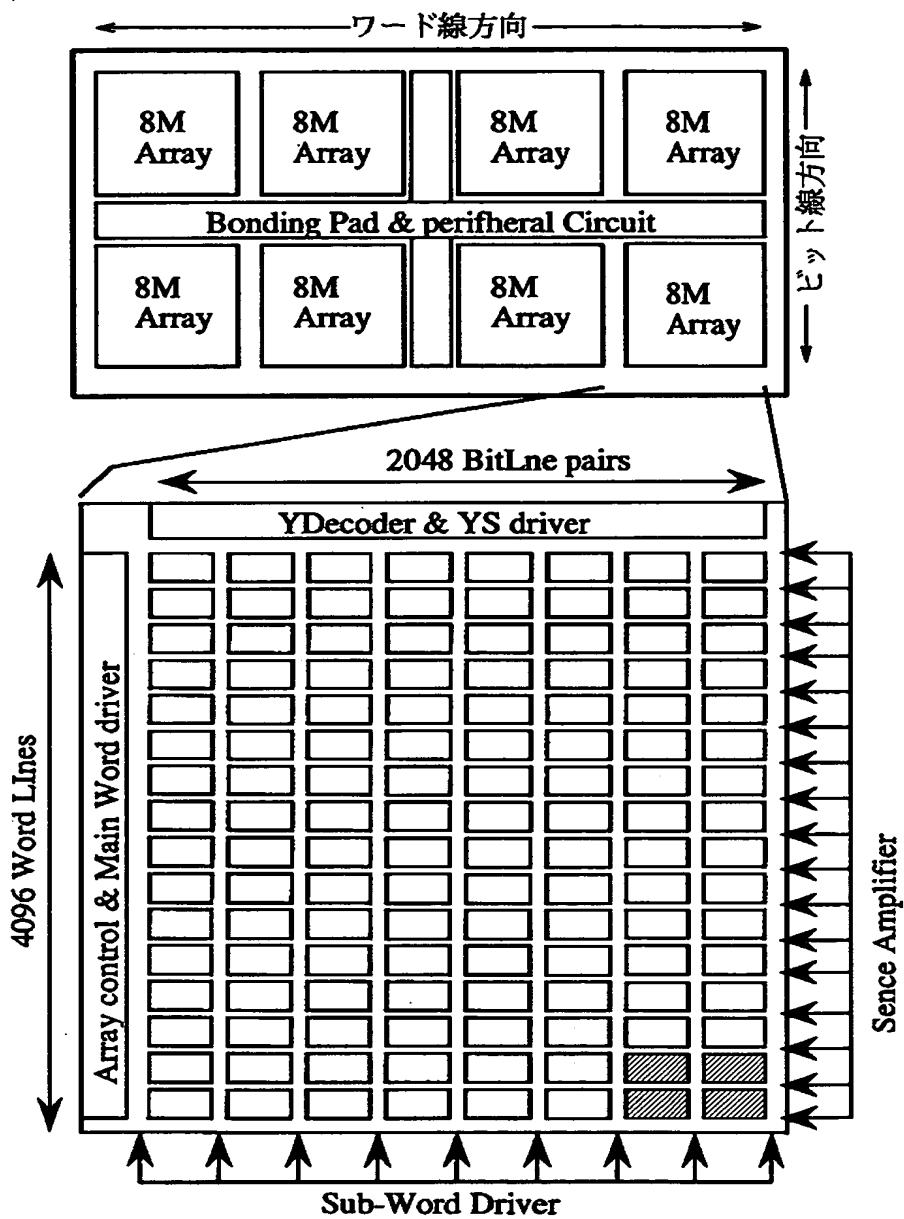
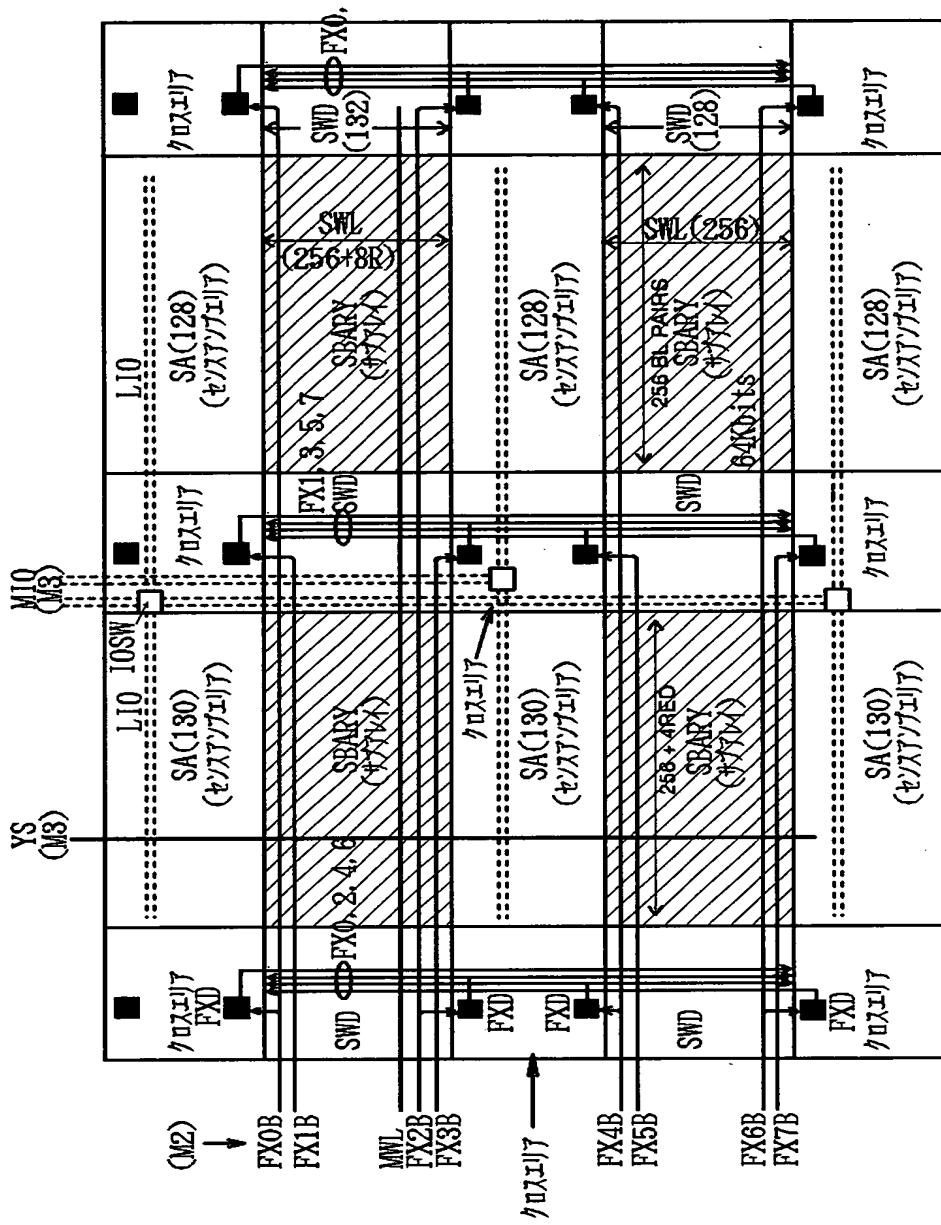


図3 【図3】



【図4】

図4

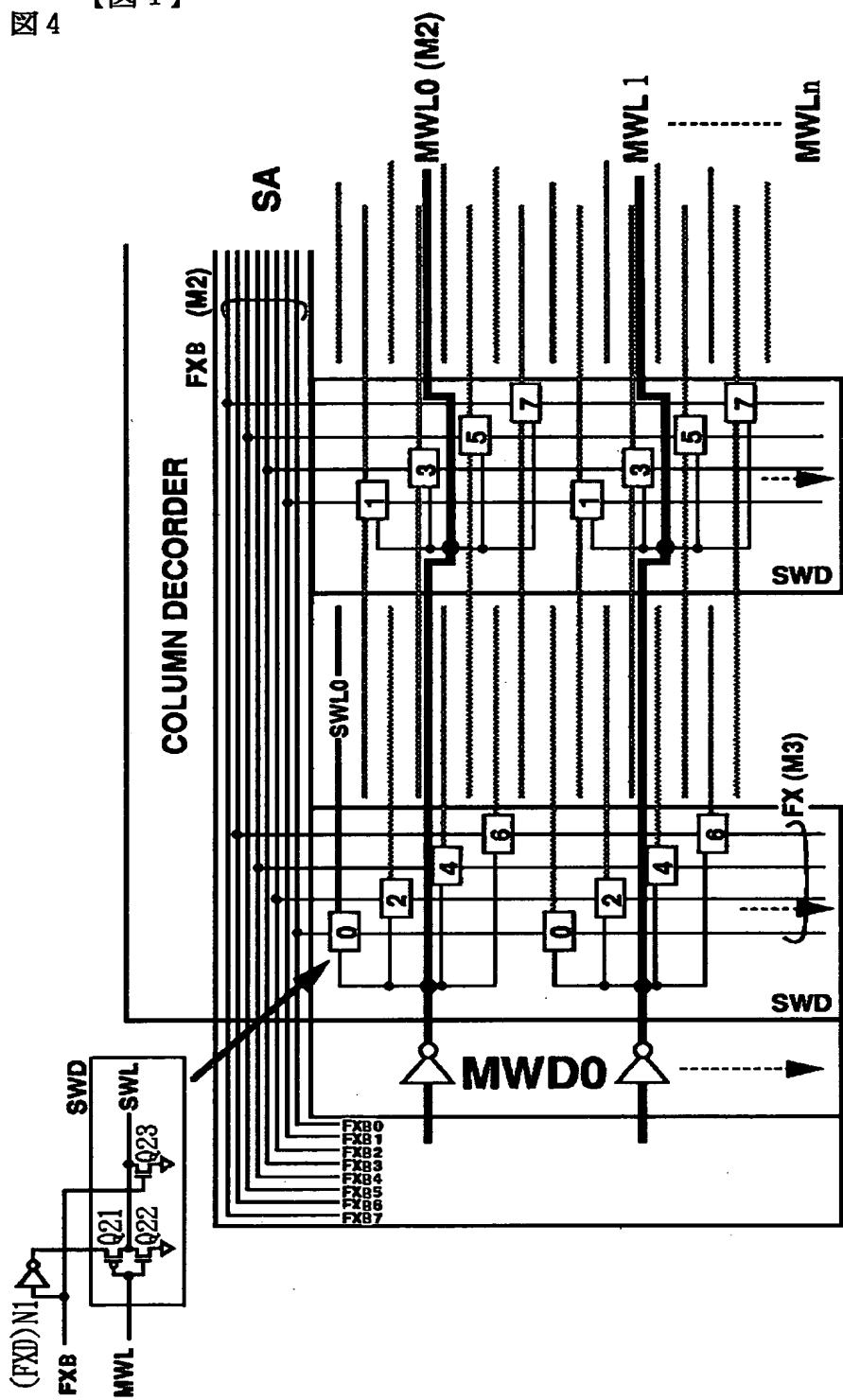
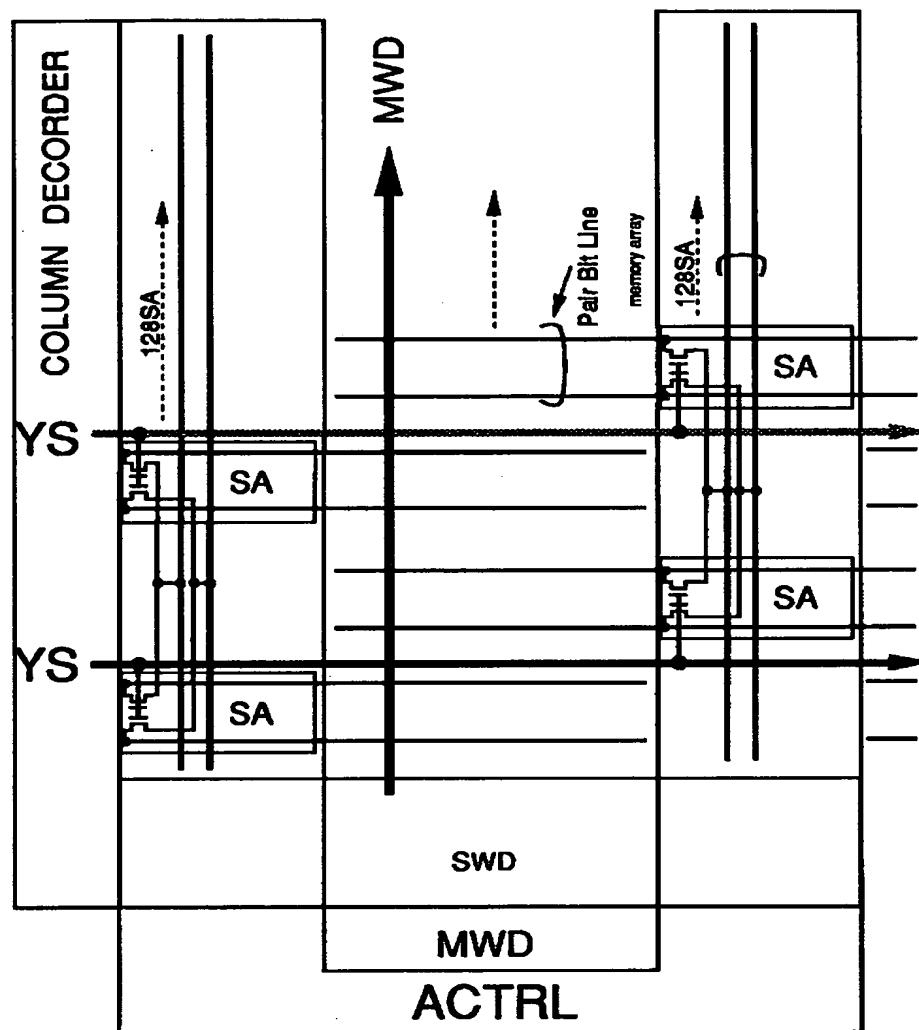


図5 【図5】



【図6】

図6

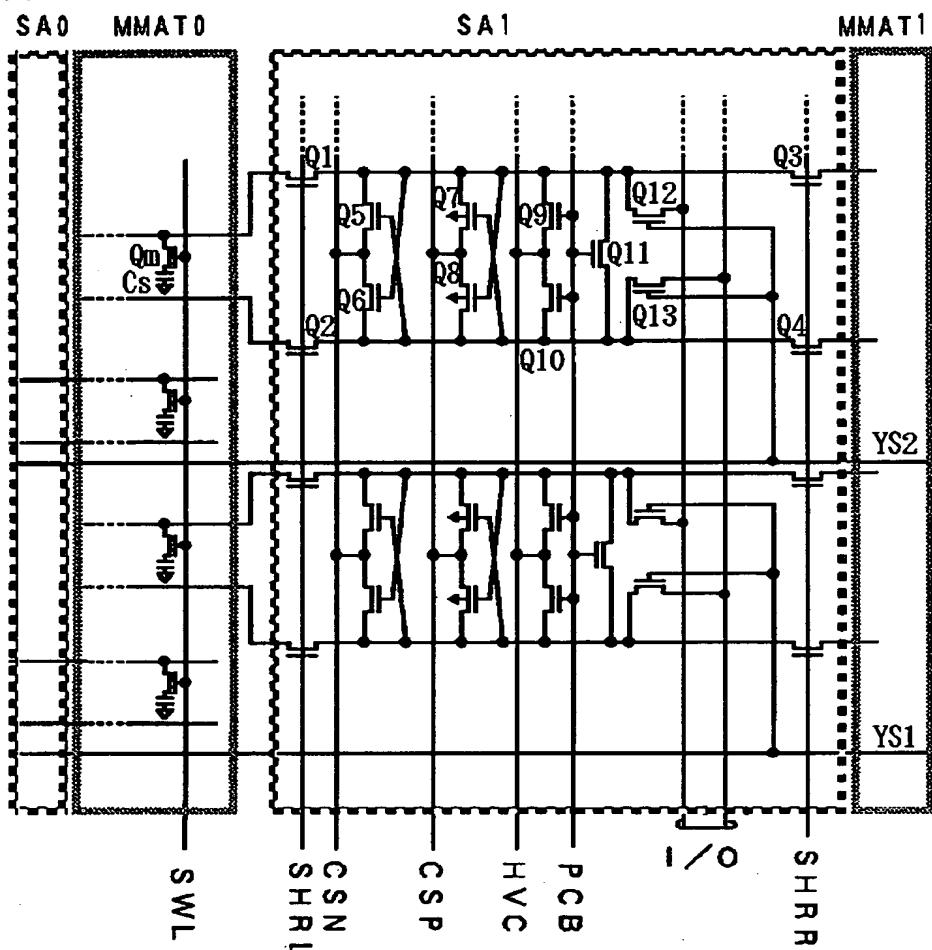
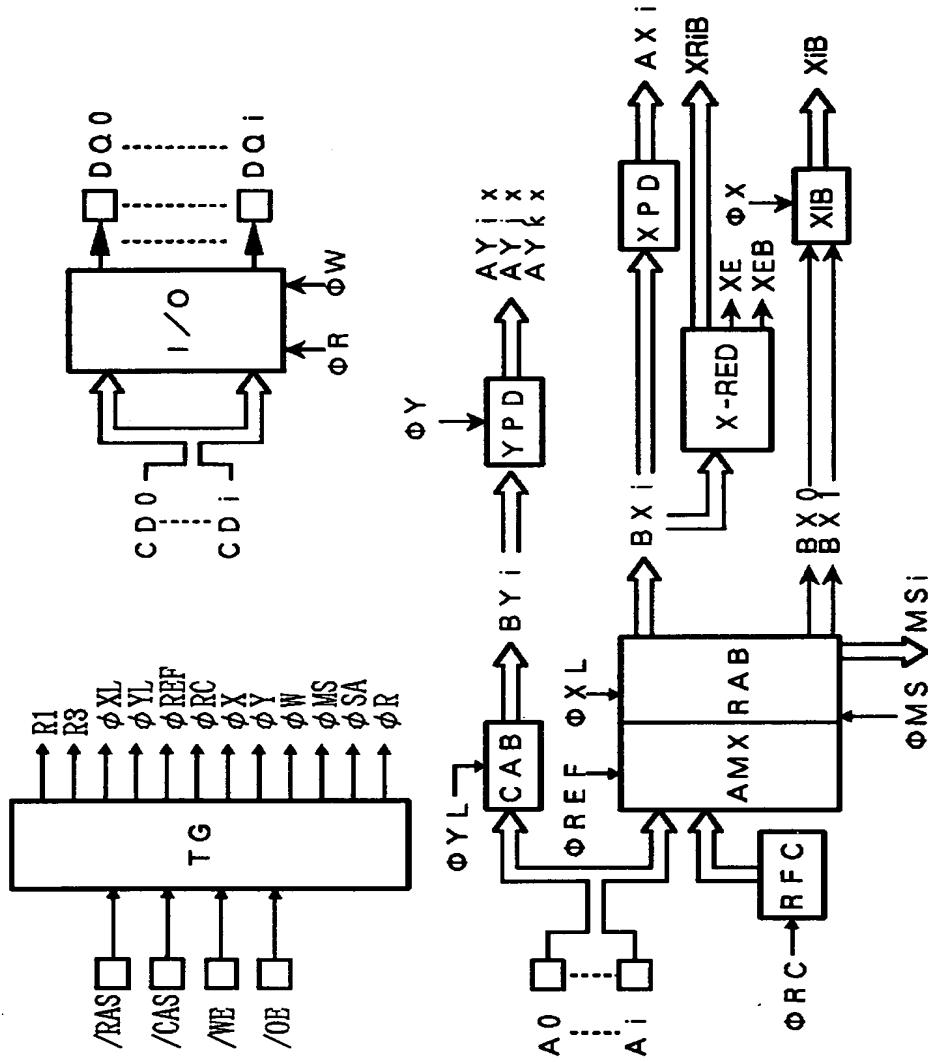


図7 【図7】



【図8】

図8

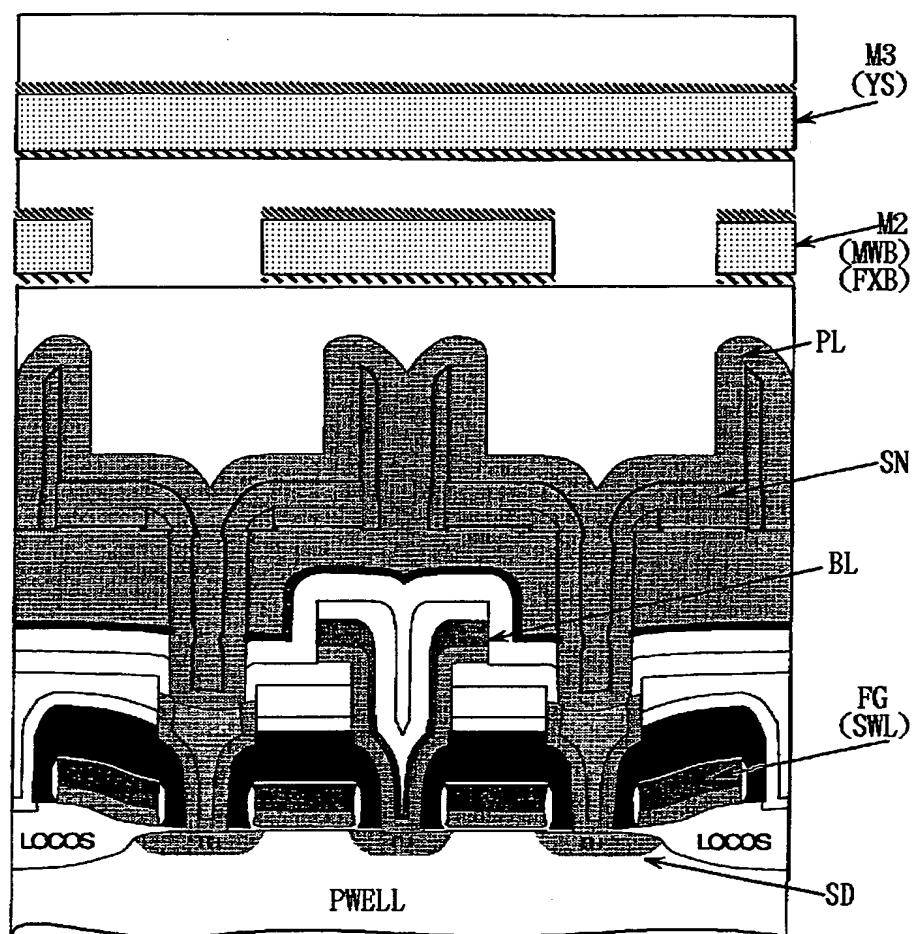


図 9

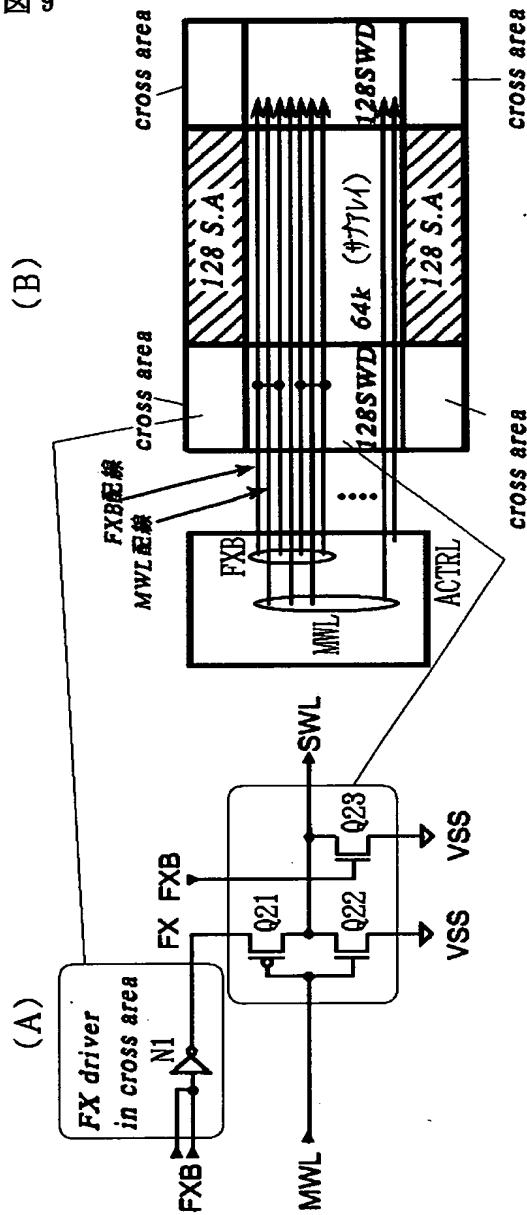
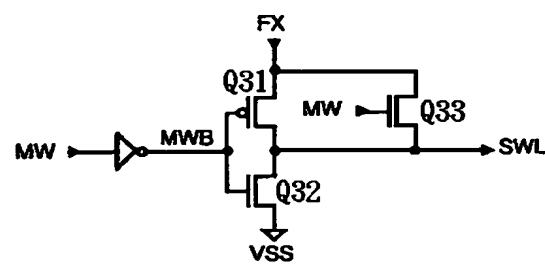
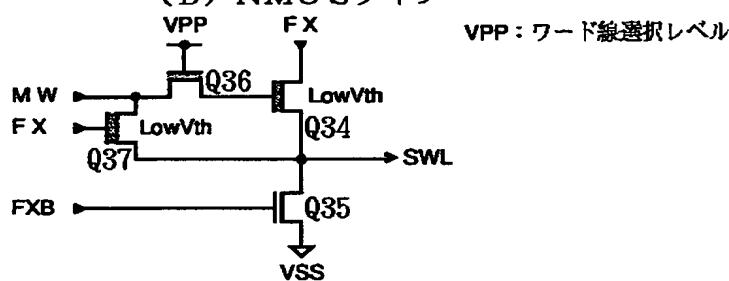


図10 【図10】

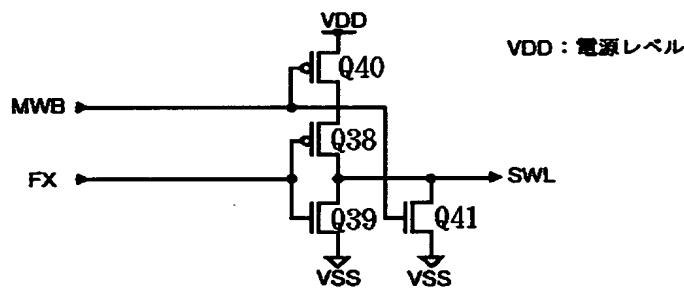
(A) CMOSタイプ



(B) NMOSタイプ



(C) NORタイプ



【書類名】 要約書

【要約】

【課題】 分割ワード線方式を採用しつつ、高集積化を実現したダイナミック型RAMを提供する。

【解決手段】 メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるメモリセルが接続されてなるサブワード線を設け、上記メインワード線と平行するように設けられる第1のサブワード選択線をサブアレイ上を延長させてワード線の延長方向に並べられた複数のサブアレイに導き、上記第1のサブワード選択線の対応するものと接続されて上記メインワード線と直交するように延長される第2のサブワード選択線を隣接するサブアレイのワード線駆動回路領域まで延長させ、各サブアレイに対応して設けられたサブワード線駆動回路において、上記メインワード線と上記第2のサブワード選択線からの信号によりサブワード線の選択動作と非選択動作を行わせるようにする。

【選択図】 図3

97.5.184

委任状

平成9年3月31日

東京都港区北青山3丁目6番12号 青山富士ビル

日本テキサス・インスツルメンツ 株式会社

代表取締役社長 生駒俊明



私は、識別番号100081938（弁理士）徳若光政を以て代理人として下記事項を委任します。

記

1. 特許出願 「ダイナミック型RAM」に関する一切の件
2. 上記出願に関する放棄又は取下げ
3. 上記出願に関する出願審査等の請求又は申立ての取下げ
4. 上記出願に関する優先審査等の申請又は申立ての取下げ
5. 上記出願に関する出願人名義変更
6. 上記出願に基づく特許法第41条第1項の優先権主張並びにその取下げ
7. 上記出願に基づく実用新案法第10条第1項の出願変更
8. 上記出願に基づく特許法第121条第1項の審判の請求並びにその取下げ
9. 上記出願に基づくすべての特許権の存続期間の延長登録の出願に関する一切の件及びその出願取下げ
10. 上記1項を処理するための復代理人の選任及び解任

以上

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 390020248
【住所又は居所】 東京都港区北青山3丁目6番12号 青山富士ビル
【氏名又は名称】 日本テキサス・インスツルメンツ株式会社
【代理人】 申請人
【識別番号】 100081938
【住所又は居所】 東京都三鷹市井の頭5丁目16番8号 徳若特許事務所
【氏名又は名称】 徳若 光政

【提出された物件の記事】

【提出物件名】 委任状（代理権を証明する書面） 1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [390020248]

1. 変更年月日 1990年11月 7日

[変更理由] 新規登録

住 所 東京都港区北青山3丁目6番12号 青山富士ビル
氏 名 日本テキサス・インスツルメンツ株式会社